

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月17日

出 願 番 号

Application Number:

特願2002-364860

[ST.10/C]:

[JP2002-364860]

出 願 人

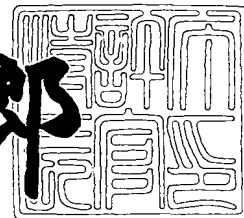
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030849

【書類名】 特許願

【整理番号】 2924040038

【提出日】 平成14年12月17日

【あて先】 特許庁長官殿

【国際特許分類】 H03G 3/02

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 荻田 進一

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大谷 充彦

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 Linear-in-dB利得可変増幅装置

【特許請求の範囲】

【請求項1】 入力信号を可変増幅し出力する為に、差動増幅器と、前記差動増幅器の入力に接続された入力容量と、前記差動増幅器の入力と出力との間に接続される帰還ループ容量と、 $m+n$ 本の利得制御信号で下位 m 個と上位 n 個の各スイッチを制御することにより、下位 m 個の容量で構成された下位容量列は、一つの容量を介して前記入力容量、もしくは前記帰還ループ容量と並列に接続され、また上位 n 個の容量で構成された上位容量列は、前記入力容量、もしくは前記帰還ループ容量と並列に接続される構成を有し、前記利得制御信号により前記下位容量列と上位容量列の接続を制御し、前記入力容量と前記帰還ループ容量との容量比を変化させ利得を変化させることの出来るスイッチドキャパシタ型の利得可変増幅装置であって、前記差動増幅器の入力に接続され、利得制御特性を近似的に利得の制御信号に対し利得が直線的に変化する（以後Linear-in-dBと記す）関係に近づけることを目的とする入力側補正容量列と、前記差動増幅器の入力と出力との間に接続され、利得制御特性を近似的にLinear-in-dBに近づけることを目的とする帰還ループ補正容量列とを備えたLinear-in-dB利得可変増幅装置。

【請求項2】 利得制御特性を近似的にLinear-in-dBに近づけるための係数 p 、 q とし、 $(2^m \cdot C_s + p \cdot C_{ode} \cdot C) / (2^m \cdot C_f + (2^{(m+n)} - 1 - q \cdot C_{ode}) \cdot C)$ なる容量の関係式にする補正容量列を備えた、請求項1に記載のLinear-in-dB利得可変増幅装置。

【請求項3】 差動増幅器の入力に接続された入力容量と、前記差動増幅器の入力と出力との間に接続される帰還ループ容量と、前記入力容量もしくは前記帰還ループ容量と m 個のスイッチにより一つの容量を介して並列接続される、 $2^0 \cdot C$ 、 $2^1 \cdot C$ 、 $2^2 \cdot C \dots$ 、 $2^{m-1} \cdot C$ の容量比で構成された下位 m 個の容量の容量列と、前記入力容量と、 n 個スイッチにより並列接続される、 $2^0 \cdot C$ 、 $2^1 \cdot C$ 、 $2^2 \cdot C \dots$ 、 $2^{n-1} \cdot C$ の容量比で構成された上位 n 個の容量の容量列と、前記帰還ループ容量と、 n 個のスイッチにより並列接続される、利得制御特性を近似的に

Linear-in-d B に近づけるための係数 $(1-a)$ の掛かった $2^0 \cdot (1-a) \cdot C$ 、 $2^1 \cdot (1-a) \cdot C$ 、 $2^2 \cdot (1-a) \cdot C \dots$ 、 $2^{n-1} \cdot (1-a) \cdot C$ の容量比で構成された n 個の容量の第一の補正容量列と、前記帰還ループ容量と、 m 個のスイッチにより並列接続される、利得制御特性を近似的に Linear-in-d B に近づけるための係数 a の掛かった $(2^0/2^m) \cdot a \cdot C$ 、 $(2^1/2^m) \cdot a \cdot C$ 、 $(2^2/2^m) \cdot a \cdot C \dots$ 、 $(2^{m-1}/2^m) \cdot a \cdot C$ の容量比で構成された m 個の容量の第二の補正容量列と、これら前記容量列および前記補正容量列を $m+n$ 本の利得制御信号により、それぞれの前記スイッチを制御する構成を備えた、請求項 1 と請求項 2 のいずれかに記載の Linear-in-d B 利得可変増幅装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は利得可変増幅装置に属し、特にスイッチを用いて容量負荷の比率を変化させることにより信号の増幅を行う利得可変増幅装置に関するものである。

【0002】

【従来の技術】

図 5 に従来の利得可変増幅装置例を説明する。図 5 の 1 は差動信号の入力端子、2 は差動信号の出力端子、3 は DC バイアス印加端子、4 は差動入出力の差動増幅器、24 は入力側容量列、25 は出力側容量列、7、8、11、13 は図 5 記載のクロック信号の位相 $\Phi 1$ で ON するスイッチ、9、10 は図 5 記載のクロック信号の位相 $\Phi 2$ で ON するスイッチを示している。入力端子 1 から入力された信号は $\Phi 1$ のタイミングでスイッチ 7 が ON し、入力側容量列 24 に電荷蓄積され、また同時にスイッチ 11 が ON し、DC バイアス印加端子 3 から入力された直流電圧が、出力側容量列 25 に電荷蓄積される。この時スイッチ 13 も ON し、出力端子 2 は DC バイアス印加端子 3 と短絡される。次に $\Phi 2$ のタイミングになった時、スイッチ 9、10 が ON し、入力側容量列 24 の信号入力端側がスイッチ 9 により短絡され、2 つの入力側容量列の差分電荷が出力側容量列 25 へ転送される。この時出力端子 2 には入力側容量列 24 の C_{in} と、出力側容量列 25 の C_{out} との容量比、いわゆる C_{in}/C_{out} 倍に増幅された信号が

出力される。

【 0 0 0 3 】

図 6 に図 5 の利得可変増幅装置に用いる入力側及び出力側容量列 2 4、2 5 の等価回路図を示す。図 6 の 1 は信号の入力端子、2 は信号の出力端子、3 は D C バイアス印加端子、4 は差動増幅器、5 は入力の固定容量 C_s 、6 は帰還ループの固定容量 C_f 、7, 8, 1 1, 1 2 は図 6 記載のクロック信号の位相 $\Phi 1$ で O N, O F F するスイッチ、9, 1 0 は図 6 記載のクロック信号の位相 $\Phi 2$ で O N, O F F するスイッチ、1 4 は n 個の容量で構成された上位容量列、1 5 は m 個の容量で構成された下位容量列、1 6 は n 個のスイッチで構成された上位制御スイッチ列、1 7 は m 個のスイッチで構成された下位制御スイッチ列、1 8 は上位容量列 1 4 の端子 t_p と下位容量列 1 5 の端子 t_p との間に接続された容量、1 9 は制御スイッチ列 1 6、1 7 を制御する制御バスライン端子である。これら 1 ~ 3 及び 5 ~ 1 9 の構成要素が差動増幅器 4 の反対側入出力にも同様に構成されるが、説明を省略する。

【 0 0 0 4 】

図 6 の利得可変増幅装置は上位 n ビット、下位 m ビットからなる $n + m$ ビットで利得が制御される利得可変増幅装置である。また、1 4 は $C_{t0} \sim C_{t(n-1)}$ の n 個の容量により構成され、 C_{t0} に対し C_{t1} 、 C_{t2} 、 $C_{t3} \dots$ 、 $C_{t(n-1)}$ はそれぞれ C_{t0} の容量値の $2 (= 2^1)$ 倍、 $4 (= 2^2)$ 倍、 $8 (= 2^3)$ 倍 \dots 、 2^{n-1} 倍の大きさの容量で構成されている。また同様に、1 5 は $C_{b0} \sim C_{b(m-1)}$ の容量により構成され、 C_{b0} に対し C_{b1} 、 $C_{b2} \dots$ 、 $C_{b(m-1)}$ はそれぞれ C_{b0} の容量値の $2 (= 2^1)$ 倍、 $4 (= 2^2)$ 倍 \dots 、 2^{m-1} 倍の大きさの容量で構成されている。1 6 は n 個のスイッチ $SW_{t0} \sim SW_{t(n-1)}$ で構成され、制御バスライン端子 1 9 によって制御される。1 7 は m 個のスイッチ $SW_{b0} \sim SW_{b(m-1)}$ で構成され、制御バスライン端子 1 9 によって制御される。また、1 8 の容量 C_c と 1 4 の C_{t0} 、1 5 の C_{b0} はそれぞれ等しい大きさの容量である。

【 0 0 0 5 】

1 6 及び 1 7 は制御バスライン端子 1 9 で各スイッチの a 側端子か、b 側端子

かに切り替えられ、a 側端子は出力端子側 A 点と、b 側端子は入力端子 1 側 B 点と接続されており、19 は 16 及び 17 の各スイッチを切り替えるために $m+n$ 本の制御端子 $DA0 \sim DA(m+n-1)$ を有している。19 の各制御端子 $m+n$ 本が全てローレベルの時、16 及び 17 の全てのスイッチは a 側端子に接続され、19 の制御端子 $m+n$ 本が全てハイレベルの時、16 及び 17 の全てのスイッチは b 側端子に接続される。この時 16 と接続されている容量列 14 は、入力固定容量 5 もしくは帰還ループ固定容量 6 と並列に接続され、17 と接続されている容量列 15 は容量 18 を介して入力固定容量 5 もしくは帰還ループ固定容量 6 と並列に接続されることになる。

【0006】

制御バスライン端子 19 の $m+n$ 本の設定を $Code$ とし、例えば $DA0 \sim DA(m+n-1)$ が全てローレベルの時 $Code = 0$ 、 $DA0$ のみハイレベルで $DA1 \sim DA(m+n-1)$ がローレベルの時 $Code = 1$ 、 $DA1$ がハイレベルで $DA0$ 及び $DA2 \sim DA(m+n-1)$ がローレベルの時 $Code = 2$ 、 $DA0$ 及び $DA1$ がハイレベルで $DA2 \sim DA(m+n-1)$ がローレベルの時 $Code = 3$ と順次切り替わり、 $DA0 \sim DA(m+n-1)$ が全てハイレベルの時 $Code = 2^{(m+n-1)}$ と、 $m+n$ ビット階調で 16 及び 17 の接続を切り替えることが出来る。例として 14 及び 15 の負荷列が全て A 点側に切り替えられている時、いわゆる $Code = 0$ の時、14、15 及び 18 の負荷 $Ct0$ 、 $Cb0$ 、 Cc は等しい大きさの容量であるので C とおくと、図 6 の利得可変増幅装置の増幅は

$$G = (2^m \cdot Cs + Code \cdot C) / (2^m \cdot Cf + (2^{m+n} - 1 - Code) \cdot C) \dots (1)$$

で表され、 $Code = 0 \sim 2^{(m+n-1)}$ で変化する。

【0007】

図 7 には上位 5 ビット、下位 4 ビットの 9 ビットで制御する場合の利得可変増幅装置を示している。図 7 において、図 6 と同じ構成要素については同じ符号を用い、説明を省略する。図 7 の回路では、前述の $m+n$ ビット制御の利得可変増幅装置と同様に動作し、この場合 (1) 式より、

$$G = (16 \cdot Cs + Code \cdot C) / (16 \cdot Cf + (511 - Code) \cdot C)$$

) … (2)

で増幅され、Code = 0 ~ 5 1 1 で変化する。

【0 0 0 8】

【非特許文献 1】

西尾研一、仙田哲也、他、「多画素 CCD ビデオカメラ向け CMOS アナログフロントエンドチップセット」、信学技報 TECHNICAL REPORT OF IEICE. ICD 2 1 0 0 - 8 4 (2 1 0 0 - 0 9)

【0 0 0 9】

【発明が解決しようとする課題】

しかしながら近年、利得可変増幅装置を制御する上で用いる、回路もしくはソフトウェア設計の容易化が求められており、この為利得可変増幅装置の利得制御特性が容易な演算式で表される回路が必要となっており、近似的に Linear-in-dB な関係を持った利得制御特性が求められている。

【0 0 1 0】

前述の従来の利得可変増幅装置においては (1)、(2) 式で表される容易な演算式で表されるが、図 7 の利得可変装置で 0 ~ 1 8 dB の利得可変範囲の回路を設計した場合、図 8 に示す利得制御特性になり、この利得制御特性は図 9 に示す $y=10^{((ax+b)/20)}$ で変化する理想的に Linear-in-dB な変化はしておらず、利得可変増幅装置を制御する回路もしくはソフトウェア設計の容易化の為に、また全制御範囲において一定の利得の変化量で制御することが出来る階調性の向上の為に、近似的に Linear-in-dB な利得制御特性が求められる。

【0 0 1 1】

本発明の目的は、利得制御特性を近似的に Linear-in-dB の特性により近づける為の利得可変増幅装置を提供するものである。

【0 0 1 2】

【課題を解決するための手段】

この目的を達成するために、請求項 1 の発明が講じた解決手段は、前記 (1) 式で表される利得可変増幅装置に対し、前記差動増幅器の入力に接続され、利得制御特性を近似的に Linear-in-dB に近づけることを目的とする入力側補正容量

列と、前記差動増幅器の入力と出力との間に接続され、利得制御特性を近似的に Linear-in-d B に近づけることを目的とする帰還ループ補正容量列とを有するもので、これにより前記 (1) 式の関係を変えることにより利得制御特性を近似的に Linear-in-d B な特性にすることが可能になる。

【 0 0 1 3 】

請求項 2 の発明が講じた解決手段は、請求項 1 の発明を具体化したものであり、上位 n ビット、下位 m ビットの m + n ビットで制御できる利得の最小利得を G_{min} 、最大利得を G_{max} とし、本発明の容量列の単位容量を C とし、差動増幅器の入力に接続される入力容量 C_s を $C_s = A \cdot C$ 、また、差動増幅器の入力と出力の間に接続される帰還ループ容量 C_f を $C_f = B \cdot C$ とした時、これら A, B は、

$$A = G_{min} \cdot (G_{max} + 1) \cdot (2^{(-m)} - 2^n) / (G_{min} - G_{max}) \dots (3)$$

$$B = (2^{(-m)} - 2^n) \cdot (G_{min} + 1) / (G_{min} - G_{max}) \dots (4)$$

で表される。また、前記 G_{min} と前記 G_{max} の中間利得を G_{mid} とした時、

利得制御特性を近似的に Linear-in-d B な特性にする為の係数 p、q は、

$$p = A \cdot (2^{(2 \cdot m + n)} \cdot G_{mid} \cdot G_{max} + (2^{(2 \cdot m + n)} - 2^{(1 + m)}) \cdot G_{mid} \cdot G_{min} - (2^{(1 + 2 \cdot m + n)} - 2^{(1 + m)}) \cdot G_{max} \cdot G_{min}) / (G_{min} \cdot (G_{mid} - G_{max}) \cdot (-4^{(m + n)} + 3 \cdot 2^{(m + n)} - 2)) \dots (5)$$

$$q = A \cdot (2^{(2 \cdot m + n)} \cdot G_{min} - 2^{(2 \cdot m + n + 1)} \cdot G_{mid} + 2^{(2 \cdot m + n)} \cdot G_{max} + 2^{(1 + m)} \cdot G_{mid} - 2^{(1 + m)} \cdot G_{max}) / (G_{min} \cdot (G_{mid} - G_{max}) \cdot (-4^{(m + n)} + 3 \cdot 2^{(m + n)} - 2)) \dots (6)$$

で表され、これら係数 p、q を用いた利得 G は

$$G = (2^m \cdot C_s + p \cdot C_{ode} \cdot C) / (2^m \cdot C_f + (2^{(m + n)} - 1 - q \cdot C_{ode}) \cdot C) \dots (7)$$

で表される。(7) 式で表される特性にする補正容量列を備えることにより、利得制御特性が G_{min} と G_{max} および、 G_{mid} を通る近似的に Linear-in-d B な利得制御特性にすることが可能となる。

【0014】

また、請求項3の発明が講じた解決手段は、請求項1および請求項2の発明を更に具体化したものであり、前記(7)式を更に展開し、

$$G = (2^m \cdot C_s / p + C_{ode} \cdot C) / (2^m \cdot C_f / p + (2^{(m+n)} - 1 - C_{ode}) \cdot C + a \cdot C_{ode} \cdot C - 2^m \cdot b \cdot C) \cdots (8)$$

となる。但し、 $a = (p - q) / p$ 、 $b = (2^{(m+n)} - 1) \cdot (p - 1) / (2^m \cdot p)$ とする。また、上位nビットの設定データを10進数表記でx、下位mビットの設定データを10進数表記でyとすると、制御バスライン端子の制御設定は、

$$C_{ode} = 2^m \cdot x + y \cdots (9)$$

と表され、(1)、(8)、(9)式から、

$$\text{入力容量} : C_s / p \cdots (10)$$

$$\text{帰還ループ容量} : C_f / p + ((2^n - 1) - b) \cdot C - (2^n - 1) \cdot (1 - a) \cdot C \cdots (11)$$

$$\text{第一の補正容量列} : ((2^n - 1) - x) \cdot (1 - a) \cdot C \cdots (12)$$

$$\text{第二の補正容量列} : y \cdot a \cdot C / 2^m \cdots (13)$$

$$\text{上位容量列} : x \cdot C \cdots (14)$$

$$\text{下位容量列} : ((2^m - 1) - y) \cdot C \cdots (15)$$

で表され、これら式を回路として構成することにより、近似的にLinear-in-dBな利得制御特性にすることが可能となる。

【0015】

【発明の実施の形態】

図1は、本発明の実施の形態におけるLinear-in-dB利得可変増幅装置の等価回路図である。図1において、図6と同じ構成要素については同じ符号を用い、説明を省略する。図1において16はn個のスイッチSWt0～SWt(n-1)により構成された上位制御スイッチ列で、制御バスライン端子19によりON、OFFが制御される。16のそれぞれのスイッチにおいて、制御バスライン端子19のDA(m)～DA(m+n-1)のいずれかがハイレベルの場合、上位容量列14内のそのスイッチに接続された容量は、入力端子1側B点と接続され

、またローレベルの場合、上位容量列 1 4 内のそのスイッチに接続された容量の片端はオープンになる。2 0 は第一の補正容量列、2 1 は第二の補正容量列、2 2 は n 個のスイッチ $SW_{rt0} \sim SW_{rt(n-1)}$ により構成された第一の補正用制御スイッチ列で、制御バスライン端子 1 9 により ON, OFF が制御される。2 2 のそれぞれのスイッチにおいて、制御バスライン端子 1 9 の $DA(m) \sim DA(m+n-1)$ のいずれかがローレベルの場合、2 0 の補正容量列内のそのスイッチに接続された容量は、出力端子 2 側 A 点と接続され、またハイレベルの場合、補正容量列 2 0 内のそのスイッチに接続された容量の片端はオープンになる。2 3 は m 個のスイッチ $SW_{rb0} \sim SW_{rb(m-1)}$ により構成された第二の補正用制御スイッチ列で、制御バスライン端子 1 9 により ON, OFF が制御される。2 3 のそれぞれのスイッチにおいて、制御バスライン端子 1 9 の $DA0 \sim DA(m-1)$ のいずれかがハイレベルの場合、補正容量列 2 1 内のそのスイッチに接続された容量は、出力端子 2 側 A 点と接続され、またローレベルの場合、補正容量列 2 1 内のそのスイッチに接続された容量の片端はオープンになる。

【0 0 1 6】

前記構成によれば、前記 (1 0) ~ (1 5) 式を満たしており、制御バスライン端子 1 9 の $DA0 \sim DA(m+n-1)$ が全てローレベルの場合、いわゆる $Code = 0$ の時、上位容量列 1 4 の全容量は上位制御スイッチ列 1 6 によりオープンになり、下位容量列 1 5 の全容量は下位制御スイッチ列 1 7 により a 端子側、いわゆる出力端子側の A 点と接続される。第一の補正容量列 2 0 の全容量は第一の補正用制御スイッチ列 2 2 により短絡され、出力端子側の A 点と接続され、第二の補正容量列 2 1 の全容量は第二の補正用制御スイッチ列 2 3 によりオープンになる。この時、帰還ループの固定容量 6 は、下位容量列 1 5 の全容量と容量 1 8 を介して並列に接続され、第一の補正容量列 2 0 の全容量と並列に接続され、入力の固定容量 5 との比により利得が決定される。また同様に制御バスライン端子 1 9 の設定が、 $Code = 1$ 、 $Code = 2 \dots$ の変化に従い、各スイッチが前記の様に動作し、各容量列内の容量が入力端子側の B 点もしくは、出力端子側の A 点に接続され、制御バスライン端子 1 9 の $DA0 \sim DA(m+n-1)$ が

全てハイレベルの場合、いわゆる $Code = 511$ の時、上位容量列 14 の全容量は、上位制御スイッチ列 16 により入力端子側の B 点と接続され、下位容量列 15 の全容量は下位制御スイッチ列 17 により b 端子側、いわゆる入力端子側の B 点と接続される。第一の補正容量列 20 の全容量は第一の補正用制御スイッチ列 22 によりオープンになり、第二の補正容量列 21 の全容量は第二の補正用制御スイッチ列 23 により短絡され、出力端子側の A 点と接続される。この時、入力容量 5 は上位容量列 14 の全容量と、第二の補正容量列 21 の全容量と並列に接続され、また下位容量列 15 の全容量と容量 18 を介して並列に接続され、帰還ループの固定容量 6 との比により利得が決定される。

【0017】

図 2 には図 1 の回路を具体的に示した、上位 5 ビット、下位 4 ビットの 9 ビットで制御され、利得制御範囲を $0 \sim 18 \text{ dB}$ まで可変できる利得可変装置を示している。図 2 において、図 1 と同じ構成要素については同じ符号を用い、説明を省略する。また、各容量は (10) ~ (15) 式により、入力容量 5 は $17 \cdot C$ 、帰還ループの固定容量 6 は $5 \cdot C$ 、上位容量列 14 は $C_{t0} = 1 \cdot C$ 、 $C_{t1} = 2 \cdot C$ 、 $C_{t2} = 4 \cdot C$ 、 $C_{t3} = 8 \cdot C$ 、 $C_{t4} = 16 \cdot C$ の 5 個の容量で構成され、下位容量列 15 は $C_{b0} = 1 \cdot C$ 、 $C_{b1} = 2 \cdot C$ 、 $C_{b2} = 4 \cdot C$ 、 $C_{b3} = 8 \cdot C$ の 4 個の容量で構成され、第一の補正容量列 20 は $C_{rt0} = 1 \cdot C / 3$ 、 $C_{rt1} = 2 \cdot C / 3$ 、 $C_{rt2} = 4 \cdot C / 3$ 、 $C_{rt3} = 8 \cdot C / 3$ 、 $C_{rt4} = 16 \cdot C / 3$ の 5 個の容量で構成され、第二の補正容量列 21 は $C_{rb0} = 1 \cdot (2 \cdot C / 3) / 16$ 、 $C_{rb1} = 2 \cdot (2 \cdot C / 3) / 16$ 、 $C_{rb2} = 4 \cdot (2 \cdot C / 3) / 16$ 、 $C_{rb3} = 8 \cdot (2 \cdot C / 3) / 16$ の 4 個の容量で構成され、また下位容量列 15 と直列に接続されている容量 18 は $1 \cdot C$ とする。制御バスライン端子 19 の設定が、DA8 のみハイレベルで、DA0 ~ DA7 がローレベルの時、いわゆる $Code = 256$ の場合、理想的に Linear-in-dB な利得制御特性であれば $0 \sim 18 \text{ dB}$ の中間の利得 9 dB になるはずである。図 2 の回路では、上位容量列 14 内の C_{t4} のみ入力容量 5 と並列に接続され、第一の補正容量列 20 内 $C_{rt0} \sim C_{rt3}$ が帰還ループの固定容量 6 に並列に接続され、下位容量列 15 の全容量も容量 18 を介

して帰還ループの固定容量 6 に並列に接続されることから、利得は $(17 \cdot C + 16 \cdot C) / (5.5 \cdot C + 15 \cdot C / 16 + 15 \cdot C / 3) = \text{約 } 2.9 \text{ 倍 } (9.2 \text{ dB})$ となり、理想的に Linear-in-dB な利得制御特性の場合とほぼ一致する。同様に $\text{Code} = 128$ の場合は、図 2 の回路の利得は $(17 \cdot C + 8 \cdot C) / (5.5 \cdot C + 15 \cdot C / 16 + 23 \cdot C / 3) = \text{約 } 1.77 \text{ 倍 } (4.97 \text{ dB})$ となり、理想的に Linear-in-dB な利得制御特性の場合の 4.5 dB と比べ約 0.47 dB 大きくなる。しかし、図 7 の従来回路では $\text{Code} = 256$ 設定の場合の利得は約 7.18 dB となり、 $\text{Code} = 128$ 設定の場合の利得は約 3.45 dB となり、理想的に Linear-in-dB な利得制御特性からのずれが大きい。図 4 に本発明における図 2 の回路の近似的に Linear-in-dB な利得制御特性と理想的に Linear-in-dB な利得制御特性との利得差を、また図 10 に従来例図 7 の回路の近似的に Linear-in-dB な利得制御特性と理想的に Linear-in-dB な利得制御特性との利得差を示す。これら図 4 と図 10 からわかるように、本発明での近似的に Linear-in-dB な利得制御特性と理想的に Linear-in-dB な利得制御特性との利得差は最大でも 0.47 dB、従来回路では最大で 2 dB と、本発明がより近似的に Linear-in-dB な関係をもった利得制御特性を実現できることが分かる。

【0018】

【発明の効果】

以上のように、本発明によると、本発明における第一の補正容量列と、第二の補正容量列が作用し、近似的に Linear-in-dB な利得制御特性を持った Linear-in-dB 利得可変増幅装置を実現することが出来、利得可変増幅装置を制御する回路もしくはソフトウェア設計の容易化が可能になる。

【図面の簡単な説明】

【図 1】

本発明における、Linear-in-dB 利得可変増幅装置の容量列の等価回路図

【図 2】

本発明における、Linear-in-dB 利得可変増幅装置の容量列の等価回路具体例を示す図

【図 3】

本発明における、Linear-in-d B 利得可変増幅装置の利得制御特性図

【図 4】

本発明における、利得制御特性と、理想的にLinear-in-d B な利得制御特性との利得差特性図

【図 5】

従来の利得可変増幅装置の回路図

【図 6】

従来の利得可変増幅装置の容量列の等価回路図

【図 7】

従来の利得可変増幅装置の容量列の等価回路具体例を示す図

【図 8】

従来の利得可変増幅装置の利得制御特性図

【図 9】

理想的にLinear-in-d B な利得制御特性図

【図 1 0】

従来の利得制御特性と、理想的にLinear-in-d B な利得制御特性との利得差特性図

【符号の説明】

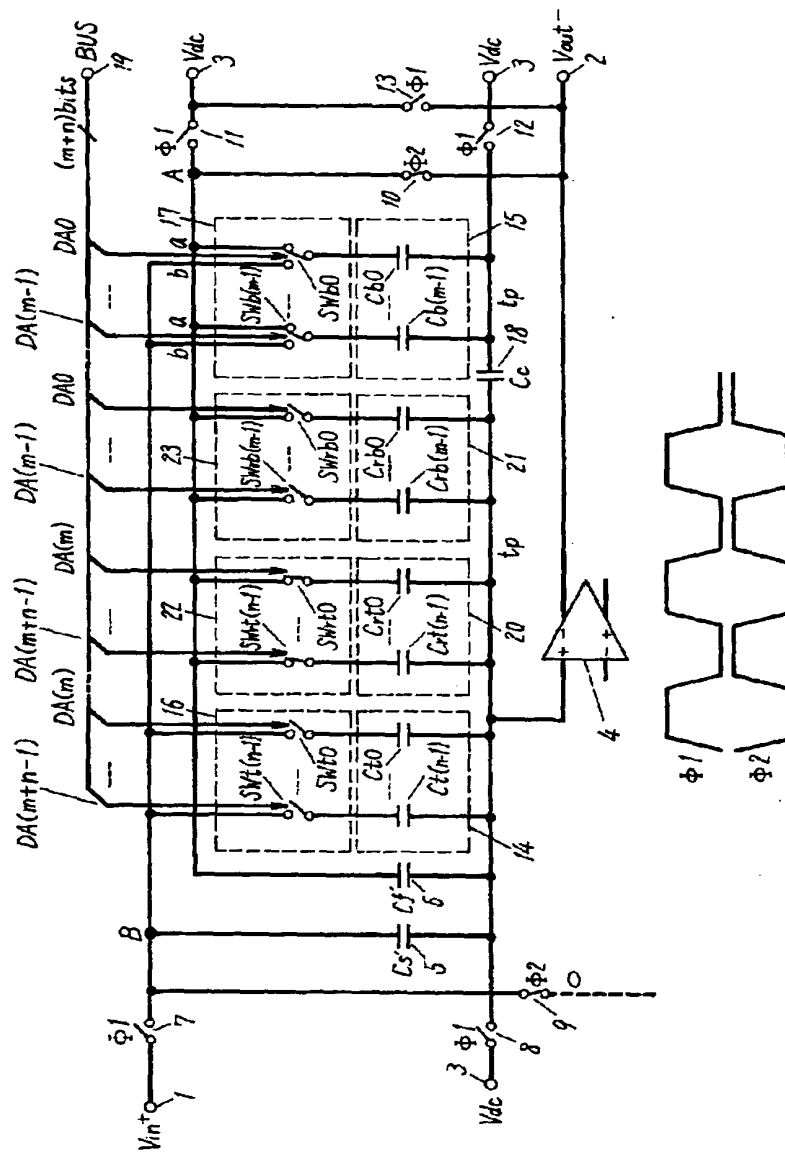
- 1 差動信号の入力端子
- 2 差動信号の出力端子
- 3 DC バイアス印加端子
- 4 差動増幅器
- 5 入力の固定容量
- 6 帰還ループの固定容量
- 7、8、11、12、13 クロック信号Φ1のタイミングでONするスイッチ
- 9、10 クロック信号Φ2のタイミングでONするスイッチ
- 14 上位容量列

- 1 5 下位容量列
- 1 6 上位制御スイッチ列
- 1 7 下位制御スイッチ列
- 1 8 容量
- 1 9 制御バスライン端子
- 2 0 第一の補正容量列
- 2 1 第二の補正容量列
- 2 2 第一の補正用制御スイッチ列
- 2 3 第二の補正用制御スイッチ列
- 2 4 入力側容量列
- 2 5 出力側容量列

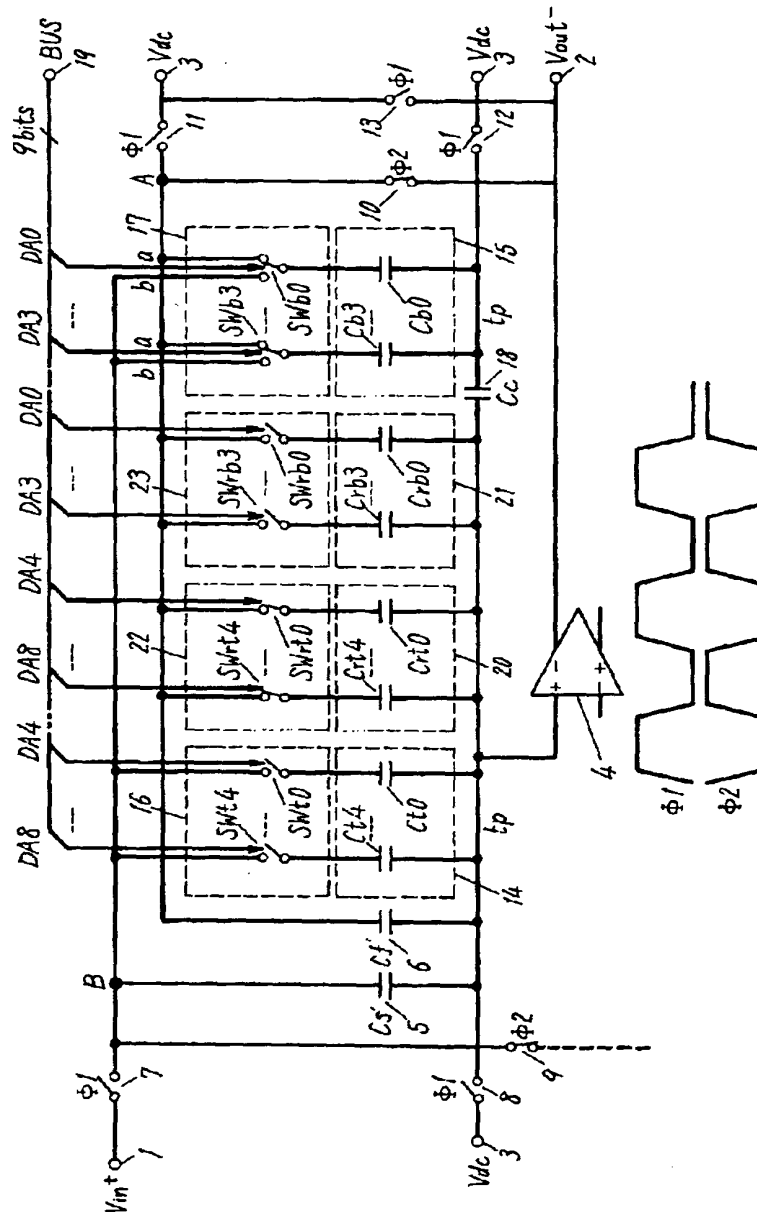
【書類名】

図面

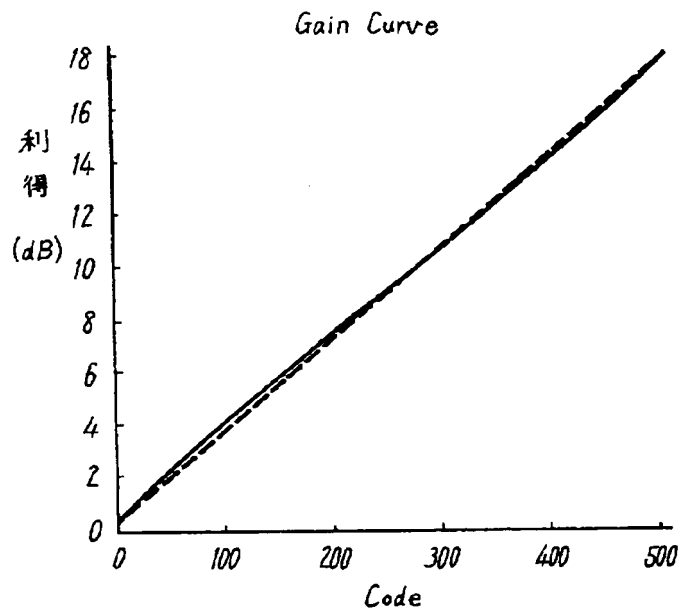
【図 1】



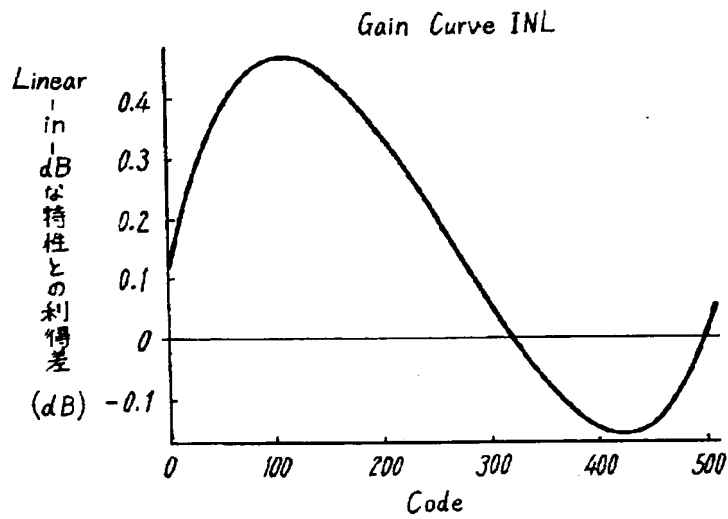
【图 2】



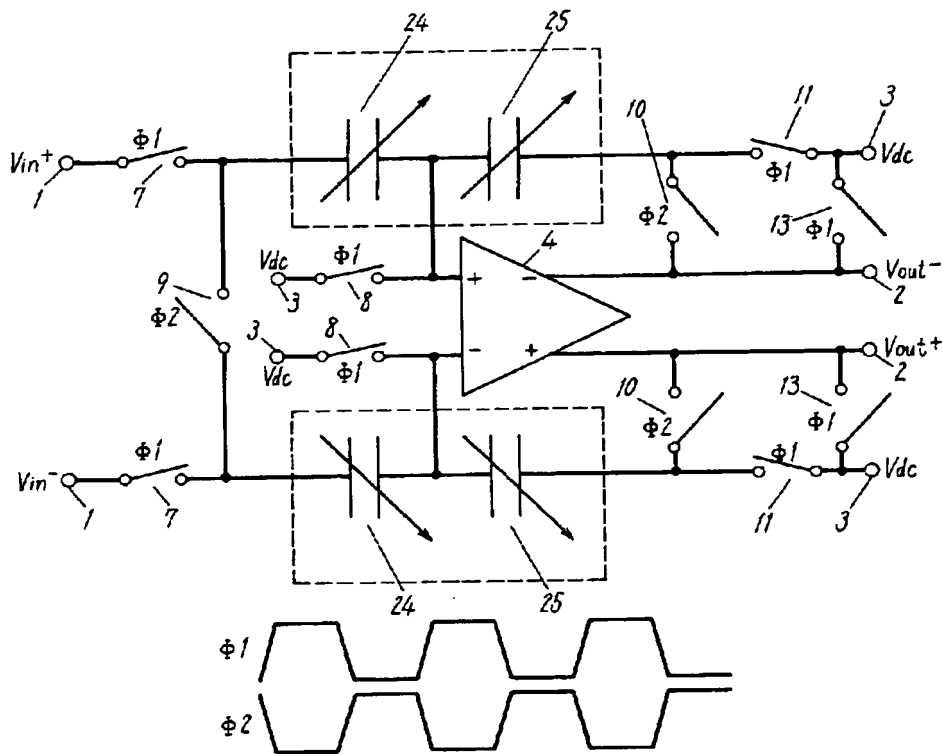
【図 3】



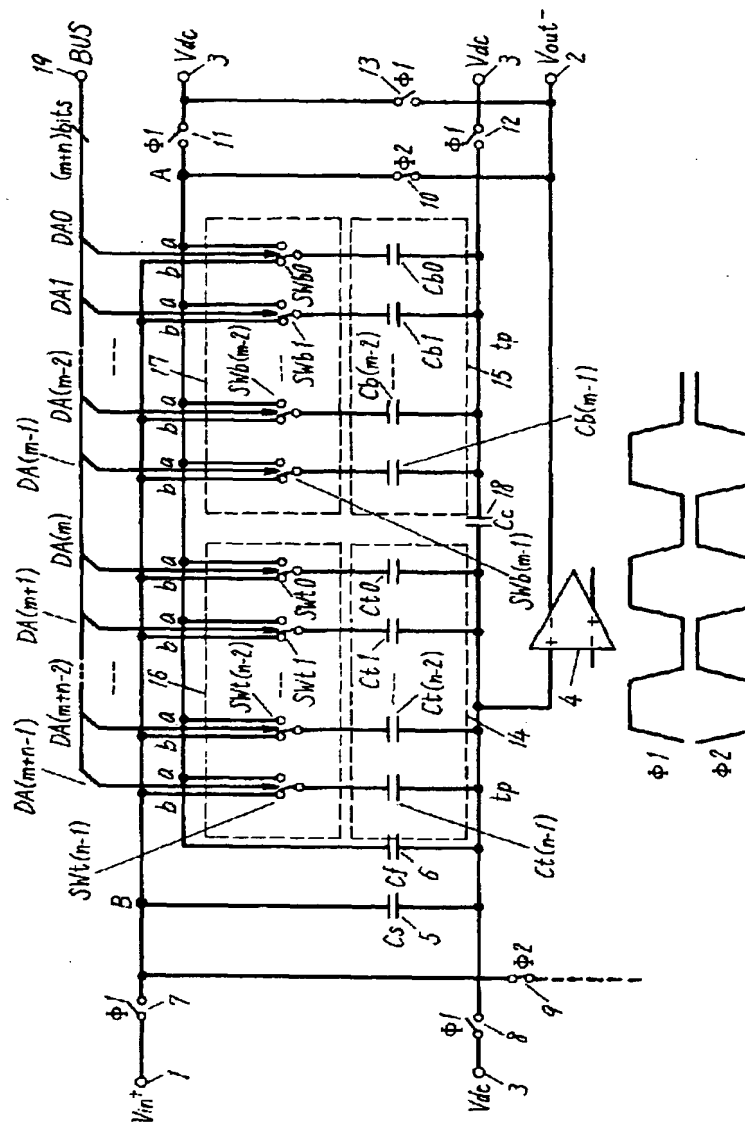
【図 4】



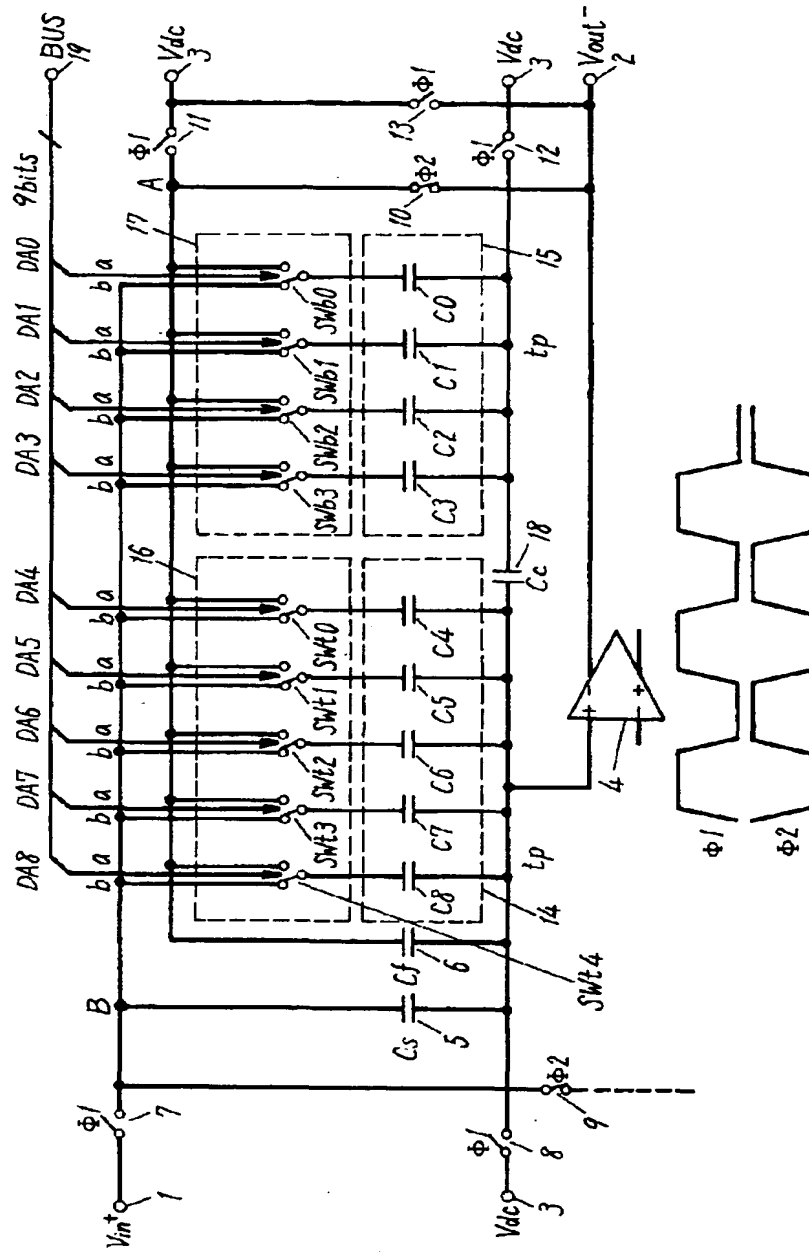
【図 5】



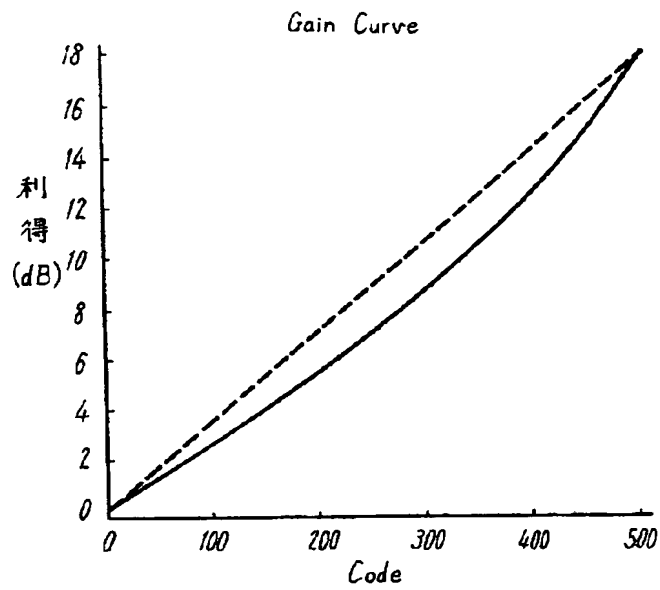
【図 6】



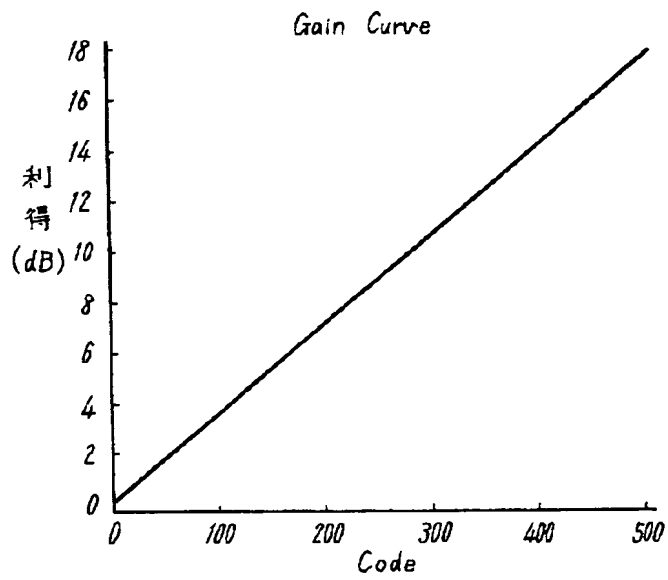
【図 7】



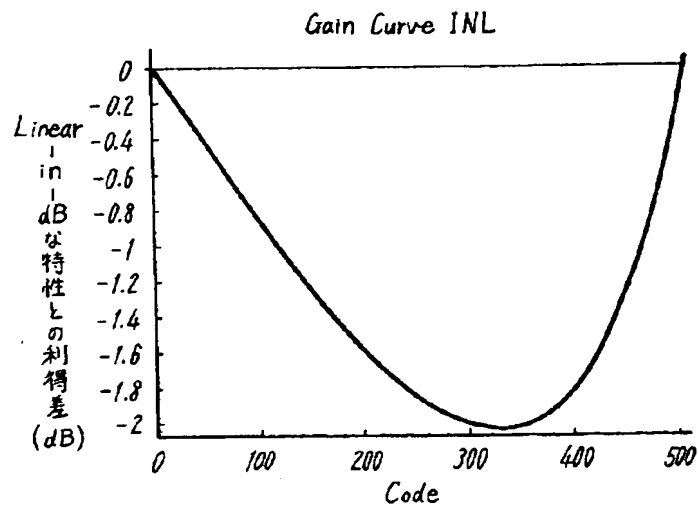
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 利得可変増幅装置の利得制御容易化の為に、また全利得制御範囲における階調性の向上の為に、近似的にLinear-in-dBな利得制御特性が求められる。

【解決手段】 入力 of 固定容量 5 と、帰還ループ of 固定容量 6 と、 $2^0 \cdot C \dots$ 、 $2^{(n-1)} \cdot C$ で構成された n 個 of 上位容量列 1 4 と、 $2^0 \cdot C \dots$ 、 $2^{(m-1)} \cdot C$ で構成された m 個 of 下位容量列 1 5 とを備え、 $m+n$ ビットの制御信号でこれら容量 of 接続を切り替え、利得を制御する利得可変増幅装置において、係数 $(1-a)$ の掛かった $2^0 \cdot (1-a) \cdot C \dots$ 、 $2^{n-1} \cdot (1-a) \cdot C$ で構成された第一 of 補正容量列 2 0 と、係数 a の掛かった $(2^0/2^m) \cdot a \cdot C \dots$ 、 $(2^{m-1}/2^m) \cdot a \cdot C$ で構成された第二 of 補正容量列 2 1 を備える事により、利得制御特性が近似的にLinear-in-dBな利得可変増幅装置を実現する事が出来る。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社